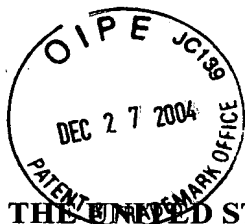


Patent



Customer No. 31561
Application No.: 10/711,574
Docket No.13504-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Wu
Application No. : 10/711,574
Filed : Sep 25, 2004
For : DYNAMIC RANDOM ACCESS MEMORY CELL AND
FABRICATING METHOD THEREOF
Examiner : N/A
Art Unit : 2818

ASSISTANT COMMISSIONER FOR PATENTS

Arlington, VA22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.: 93123996,
filed on: 2004/8/11.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Dec. 23, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

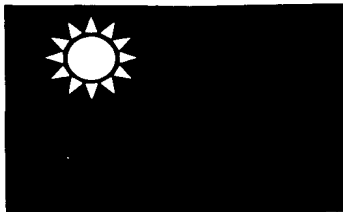
7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2004 年 08 月 11 日
Application Date

申請案號：093123996
Application No. **CERTIFIED COPY OF
PRIORITY DOCUMENT**

申請人：茂德科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 10 月
Issue Date

發文字號：09320936230
Serial No.

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：

※ 申請日期：

※IPC 分類：

一、發明名稱：(中文/英文)

動態隨機存取記憶胞及其製造方法/

DYNAMIC RANDOM ACCESS MEMORY CELL AND
FABRICATING METHOD THEREOF

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

茂德科技股份有限公司/PROMOS TECHNOLOGIES INC.

代表人：(中文/英文) 胡洪九/HUNG-CHIU HU

住居所或營業所地址：(中文/英文)

新竹科學工業園區力行路十九號 3 樓/3F., NO. 19, LI HSIN RD.,
SCIENCE BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R.O.C.

國 籍：(中文/英文) 中華民國/TW

三、發明人：(共 1 人)

姓 名：(中文/英文)

1. 吳孝哲/ WU, HSIAO CHE

國 籍：(中文/英文) 中華民國/TW

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種動態隨機存取記憶胞的製造方法，此方法係先提供基底，且基底上已形成有圖案化之罩幕層與形成於基底中之深溝渠，且圖案化之罩幕層係暴露出位於基底中之深溝渠，且在此深溝渠中係形成有深溝渠式電容器。然後，於深溝渠式電容器一側的基底中形成溝渠，且此溝渠係暴露出深溝渠式電容器之部分的上電極與基底。接著，於溝渠中形成半導體條狀物。之後，於基底上形成閘介電層，其並覆蓋裸露之半導體條狀物與基底表面。繼之，於閘介電層上形成閘極，其中閘極係與半導體條狀物相交，且閘極所覆蓋之部分的半導體條狀物係作為通道區之用。

六、英文發明摘要：

A method of fabricating a dynamic random access memory cell is provided. A substrate having a patterned mask layer thereon and a deep trench therein is provided, and the patterned mask layer exposes the deep trench. Also, a deep trench capacitor is formed in the deep trench. A trench is formed in the substrate at one side of the deep trench capacitor, and the trench exposes the partial top electrode of the deep trench capacitor and the substrate. A semiconductor silicon stripe is formed in the trench. A gate dielectric layer is formed on the substrate to cover the exposed surfaces of the semiconductor silicon stripe and the substrate. A gate is

formed on the gate dielectric layer and crossed with the semiconductor silicon stripe. Also, the semiconductor silicon stripe that is covered by the gate is used as a channel region.

七、指定代表圖：

(一)本案指定代表圖為：圖(4)。

(二)本代表圖之元件符號簡單說明：

200：基底

226、233：區域

228b：半導體條狀物

230：閘介電層

232a：導電層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

九、發明說明：

【發明所屬之技術領域】

本發明是有關於一種記憶體元件及其製造方法，且特別是有關於一種動態隨機存取記憶體(Dynamic Random Access Memory Cell，DRAM Cell)及其製造方法。

【先前技術】

隨著現今電腦微處理器(Microprocessor)的功能愈來愈強，軟體所進行的程式與運算也愈來愈龐大。因此，記憶體的製作技術已成為半導體產業重要的技術之一。

一般來說，記憶體可依其儲存資料的型態而分為揮發性記憶體與非揮發性記憶體。而動態隨機存取記憶體(Dynamic Random Access Memory，DRAM)即屬於一種揮發性記憶體，且其係由多數個記憶胞構成。而每一個記憶胞係由一主動元件與一電容器所構成，且每一個記憶胞係藉由字元線(Word Line，WL)與位元線(Bit Line，BL)彼此電性連接。

另一方面，動態隨機存取記憶體依其電容器的結構主要可以分成兩種形式，其一為具有堆疊式電容器(Stack Capacitor)之動態隨機存取記憶體，另一則為具有深溝渠式電容器(Deep Trench Capacitor)之動態隨機存取記憶體。由於具有深溝渠式電容器之動態隨機存取記憶體，其深溝渠式電容器是形成於基底之中，因此相較於具有堆疊式電容器之動態隨機存取記憶體，在製作上較不易產生平坦化的問題，因而有利於小尺寸之記憶體元件的製作。不過，當

元件尺寸愈來愈小時，具有深溝渠式電容器之動態隨機存取記憶體在製作上也同樣遭遇到愈來愈多的問題。

圖 1A 至圖 1D 是繪示習知的一種具有深溝渠式電容器之動態隨機存取記憶體的製造流程剖面示意圖。請參照圖 1A，此製造方法係先提供基底 100，並於基底 100 表面依序形成圖案化之墊層 102 與單幕層 104。接著，利用圖案化之墊層 102 與單幕層 104 作為蝕刻罩幕，於基底 100 中形成深溝渠 106。然後，於深溝渠 106 底部之基底 100 中形成下電極 108，並且於深溝渠 106 底部依序形成電容介電層 110 與多晶矽層 112。之後，於單幕層 104 與未被多晶矽層 112 覆蓋之深溝渠 106 表面形成領氧化層 114。

繼之，請參照圖 1B，進行非等向蝕刻製程，移除位於單幕層 104 與多晶矽層 112 頂部的領氧化層 114，而僅留下位於深溝渠 106 側壁上之領氧化層 114a。接著，於深溝渠 106 中填入多晶矽層 116。

然後，請參照圖 1C，移除深溝渠 106 以外及位於深溝渠 106 中之部分的多晶矽層 116，而形成多晶矽層 116a。之後，移除未被多晶矽層 116a 覆蓋之領氧化層 114a，而形成領氧化層 114b。繼之，於深溝渠 106 中填入多晶矽層 118，其中多晶矽層 112、116a 與 118 係彼此電性連接，以共同作為深溝渠式電容器的上電極之用。

接著，請參照圖 1D，進行一熱製程，以使多晶矽層 118 中之摻質擴散至基底 100 中，而形成埋入式摻雜帶 120(Buried Strap, BS)，且此埋入式摻雜帶 120 具有一個

埋入式摻雜帶窗口(BS window)122。然後，進行淺溝渠隔離結構製程，以於鄰接多晶矽層 118 之基底 100 中形成淺溝渠隔離結構 124，並且形成多晶矽層 118a，且淺溝渠隔離結構 124 係定義出主動區(未繪示)。之後，在移除墊層 102 與罩幕層 104 後，於主動區之基底 100 上形成閘極結構 126，並且於淺溝渠隔離結構 124 上形成另一閘極結構 128，且形成相對應之源極區 130a 與汲極區 130b，其中汲極區 130b 係藉由埋入式摻雜帶 120 與上電極電性連接。

然而，利用上述之方法所得之動態隨機存取記憶體，其埋入式摻雜帶窗口 122 的尺寸大小，係牽動著動態隨機存取記憶體之元件效能。舉例來說，若埋入式摻雜帶窗口尺寸太大，則會產生元件漏電流的問題。另一方面，若埋入式摻雜帶窗口尺寸太小，則會因埋入式摻雜帶與上電極之間的阻值太高，進而影響元件效能。因此，在製程中，埋入式摻雜帶窗口的尺寸大小合適與否，成為動態隨機存取記憶體能否具有良好之元件效能的關鍵因素之一。

【發明內容】

有鑑於此，本發明的目的就是在提供一種動態隨機存取記憶胞的製造方法，以解決習知因埋入式摻雜帶窗口尺寸過大或過小所產生的問題。

本發明的再一目的是提供另一種動態隨機存取記憶胞的製造方法，以解決習知因埋入式摻雜帶窗口尺寸過大或過小所產生的問題。

本發明的又一目的是提供一種動態隨機存取記憶胞，

以解決習知因埋入式摻雜帶窗口尺寸過大或過小所產生的問題。

本發明提出一種動態隨機存取記憶胞的製造方法，此方法係先提供一基底，且此基底上已形成有圖案化之罩幕層與形成於基底中之一深溝渠，且圖案化之罩幕層係暴露出位於基底中之深溝渠，且在此深溝渠底部之基底中係形成有下電極，而且在深溝渠表面係形成有電容介電層。然後，於深溝渠底部填入第一導電層。接著，移除未被第一導電層覆蓋之電容介電層。之後，於未被第一導電層覆蓋之深溝渠側壁上形成領氧化層。繼之，於深溝渠中填入第二導電層，且覆蓋第一導電層。然後，於第二導電層之一側的基底中形成溝渠，且此溝渠係暴露出部分基底與第二導電層。接著，於溝渠中形成半導體條狀物，且半導體條狀物係暴露出部分溝渠底部的基底，其中半導體條狀物的一端係與第二導電層鄰接，而另一端係與基底鄰接。之後，於基底上形成閘介電層，以覆蓋裸露之半導體條狀物與基底表面。繼之，於閘介電層上形成閘極，其中閘極係與半導體條狀物相交，且閘極所覆蓋之部分半導體條狀物係作為通道區之用。

本發明提出另一種動態隨機存取記憶胞的製造方法，此方法係先提供基底，且此基底上已形成有圖案化之罩幕層與形成於基底中之一深溝渠式電容器，且此深溝渠式電容器係由下電極、上電極、電容介電層與領氧化層所構成而且圖案化之罩幕層係暴露出上電極。然後，於深溝渠式

電容器一側的基底中形成溝渠，且此溝渠係暴露出部分基底與上電極。接著，於溝渠中填入一半導體材料層之後，圖案化此半導體材料層，以形成半導體條狀物，並形成暴露出基底的二開口，其中半導體條狀物的一端係與上電極鄰接，而另一端係與基底鄰接。之後，於基底上形成閘介電層，以覆蓋裸露之半導體條狀物與基底表面。繼之，於閘介電層上形成導電層，其中導電層係與半導體條狀物相交，且導電層所覆蓋之部分半導體條狀物係作為通道區之用。

本發明提出一種動態隨機存取記憶胞，此動態隨機存取記憶胞係由深溝渠式電容器與主動元件所構成。其中深溝渠式電容器係配置於基底之深溝渠中，且深溝渠式電容器係由下電極、上電極、電容介電層與領氧化層所構成。其中，下電極係配置在深溝渠底部之基底中。另外，上電極係配置在深溝渠中。此外，電容介電層係配置在深溝渠底部表面與上電極之間。另外，領氧化層係配置在未有電容介電層的深溝渠側壁，且位於上電極與基底之間。此外，主動元件係配置於基底之溝渠中，且主動元件係與深溝渠式電容器鄰接，而且此主動元件係由半導體條狀物、閘介電層、閘極與一摻雜區所構成。其中，半導體條狀物係配置在溝渠中，且此圖案化之通道層係暴露出部分溝渠底部的基底，而且半導體條狀物的一端係與基底鄰接，而另一端係與上電極鄰接。此外，閘介電層係配置在半導體條狀物表面。另外，閘極係配置在閘介電層上，且與半導體條

狀物相交，且閘極所覆蓋之部分半導體條狀物係作為通道區之用。此外，摻雜區係配置在與基底鄰接之部分半導體條狀物以及與所鄰接之基底中。

由於本發明之主動元件的閘極所覆蓋之部分半導體條狀物係作為通道區之用，而且此半導體條狀物係與深溝渠式電容器之導電層(或上電極頂部)鄰接，因此不需形成埋入式摻雜帶，即可與主動元件電性連接，從而可以解決習知因埋入式摻雜帶窗口尺寸過大或過小所產生的問題。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

圖 2 是繪示依照本發明一較佳實施例的一種動態隨機存取記憶胞的上視示意圖。圖 3 是圖 2 由 I-I'剖面所得之動態隨機存取記憶胞的剖面示意圖。

請同時參照圖 2 與圖 3，本發明之動態隨機存取記憶胞係由深溝渠式電容器 201 與主動元件 203 所構成。其中，深溝渠式電容器 201 係配置於基底 200 之深溝渠 206 中，且深溝渠式電容器 201 係由下電極 208、上電極 205、電容介電層 210a 與領氧化層 214 所構成。在一較佳實施例中，上電極係由導電層 212、216 所構成。此外，主動元件 203 係配置於基底 200 之溝渠 218 中，且與深溝渠式電容器 201 鄰接，而且此主動元件 203 係由半導體條狀物 228b、閘介電層 230、導電層 232a 與摻雜區 236 所構成。在一較佳實

施例中，半導體條狀物 228b 的兩端更包括分別配置之延伸部 228a 與延伸部 228c，以構成一「H」字形的半導體層 224。

其中，深溝渠式電容器 201 之下電極 208 係配置在深溝渠 206 底部之基底 200 中。此外，導電層 212 係配置在深溝渠 206 底部。另外，電容介電層 210a 係配置在深溝渠 206 底部表面與導電層 212 之間。此外，導電層 216 配置在導電層 212 上，且填滿深溝渠 206。另外，氮氧化層 214 係配置在導電層 216 與基底 200 之間。

此外，主動元件 203 之半導體條狀物 228b 係配置在溝渠 218 中，且此半導體條狀物 228b 係暴露出部分溝渠 218 底部的基底 200，而且其延伸部 228a 係與導電層 216 鄰接，而另一延伸部 228c 係與基底 200 鄰接。當然，在一較佳實施例中，亦可僅在溝渠 218 中配置半導體條狀物 228b，而使半導體條狀物 228b 的兩端分別與導電層 216 及基底 200 鄰接。另外，半導體條狀物 228b 及其延伸部 228a、228c 的材質例如是磊晶矽或是其他合適作為通道之半導體材料。在一較佳實施例中，除了溝渠 218 底部之部分基底 200 會裸露出來之外，溝渠 218 以外之部分基底 200 亦會裸露出，其係如圖 2 之虛線區域 226 所示。

另外，閘介電層 230 係配置在半導體條狀物 228b 及其延伸部 228a、228c 的表面。在一較佳實施例中，閘介電層 230 亦配置在導電層 216 的頂面。

此外，導電層 232a 係配置在部分的閘介電層 230 上，

且與半導體條狀物 228b 相交，且導電層 232a 所覆蓋之部分半導體條狀物 228b 係作為通道區 207 之用。其中，上方橫跨導電層 232a 的半導體條狀物 228b 之立體示意圖如圖 4 所示(圖 2 之局部區域 233)。特別是，對於主動元件 203 來說，導電層 232a 覆蓋了半導體條狀物 228b 的兩側壁 234a 與頂部 234b 這三個區域，因此可以避免因短通道效應(Short Channel Effect)所產生的相關問題。此外，對於單一記憶胞來說，導電層 232a 係作為閘極之用，而對於整個記憶胞陣列來說，導電層 232a 係作為串接多個記憶胞的字元線之用。

另外，摻雜區 236 配置在半導體條狀物 228b 的部分之延伸部 228c，以及與延伸部 228c 鄰接之基底 200 中，以作為源極區之用。

此外，在另一較佳實施例中，此動態隨機存取記憶胞更包括摻雜帶 220 配置在基底 200 中，且與下電極 208 鄰接。

另外，在又一較佳實施例中，此動態隨機存取記憶胞更包括摻雜井區 222 配置在部分的導電層 216 與相鄰之基底 200 中，且溝渠 218 係配置於摻雜井區 222 中。

除此之外，在再一較佳實施例中，此動態隨機存取記憶胞更包括摻雜帶 220 配置在基底 200 中，以及摻雜井區 222 配置在部分的導電層 216 與相鄰之基底 200 中。其中，摻雜帶 220 係與下電極 208 鄰接。此外，摻雜井區 222 係與摻雜帶 220 鄰接，而且摻雜井區 222 與摻雜帶 220 的摻

質型態相反。

由於本發明之主動元件，其導電層(閘極)所覆蓋之部分半導體條狀物係作為通道區之用，而且此半導體條狀物或其延伸部係與深溝渠式電容器的導電層(上電極頂部)鄰接，因此不需配置埋入式摻雜帶，即可與主動元件電性連接，從而可以解決習知因埋入式摻雜帶窗口尺寸過大或過小所產生的問題。

接著，請參照圖 5A 至圖 5E 所繪示之本發明較佳實施例之一種動態隨機存取記憶胞的製造流程剖面圖，其係用以說明本發明之動態隨機存取記憶胞的製造方法。其中，與上述圖式標號相同者係表示相同的構件。

首先，請參照圖 5A，提供一基底 200，於基底 200 上全面性地形成墊層 202 後，於墊層 202 上形成罩幕層 204。其中，墊層 202 的材質例如是氧化矽，而其形成方法例如是進行熱氧化製程。此外，罩幕層 204 之材質例如是氮化矽，而其形成方法例如是進行化學氣相沉積(Chemical Vapor Deposition, CVD)製程。接著，對罩幕層 204 與墊層 202 進行微影製程以及蝕刻製程，以形成圖案化之墊層 202 與罩幕層 204。然後，以圖案化之罩幕層 204 與墊層 202 為罩幕，進行蝕刻製程，以於基底 200 中形成深溝渠 206，其中所進行之蝕刻製程例如是乾式蝕刻製程。

之後，在深溝渠 206 底部之基底 200 中形成下電極 208。其中，下電極 208 例如是一摻雜區，而其形成方法例如是先於深溝渠 206 底部之側壁形成一層摻雜絕緣層，接

著，於深溝渠 206 中填入一光阻層，然後，移除未被光阻層覆蓋之摻雜絕緣層，並將光阻層移除，之後，在形成一共形的絕緣層後，進行熱製程，以使摻雜絕緣層中的摻質擴散至基底 200 中，繼之將絕緣層及摻雜絕緣層移除。在一較佳實施例中，下電極 208 的摻質型態例如是 n 型。關於下電極 208 的詳細製作係為熟知此技術者所週知，於此不再贅述。

然後，在罩幕層 204 及此深溝渠 206 表面形成共形的電容介電層 210。其中，電容介電層 210 之材質例如是氧化矽、氮化矽、氮氧化矽或是其他合適之介電材料，而其形成方法例如是進行熱氧化製程、化學氣相沉積製程或是其他合適之製程。

接著，於深溝渠 206 底部填入導電層 212，並覆蓋部分的電容介電層 210。其中，導電層 212 之材質例如是多晶矽、摻雜多晶矽或是其他合適之導電材料，而其形成方法例如是以臨場(In-Situ)摻雜離子之方式，利用化學氣相沈積法於基底 200 上形成一層摻雜多晶矽層後，移除深溝渠 206 以外以及深溝渠 206 頂部之部分的摻雜多晶矽層，而形成之。其中，摻雜多晶矽層的移除方法例如是進行乾式蝕刻製程或溼式蝕刻製程。另外，除了臨場摻雜離子之方式之外，摻雜多晶矽層的形成方法還可以在進行化學氣相沈積製程時，同時通入含有摻質之反應氣體，而形成之。

繼之，請參照圖 5B，移除未被導電層 212 覆蓋之電容介電層 210，以形成電容介電層 210a。其中，部分電容介

電層 210 的移除方法，例如是進行乾式蝕刻製程或溼式蝕刻製程。

之後，於未被導電層 212 覆蓋之深溝渠 206 側壁上形成領氧化層 214。其中，領氧化層 214 的材質例如是氧化矽，而其形成方法例如是先進行化學氣相沈積製程，以形成一具形之領氧化材料層，之後再移除深溝渠 206 以外以及導電層 212 頂部之領氧化材料層，而形成之。其中，移除部分領氧化材料層的方法例如是進行一非等向性蝕刻製程。

然後，於深溝渠 206 中填入導電層 216，其並覆蓋導電層 212，且此導電層 216 係與導電層 212 電性連接，而且二者係共同作為深溝渠式電容器之上電極 205。關於導電層 216 的材質及相關的形成方法係與導電層 212 類似，且於前述內容中係已對導電層 212 作詳細地說明，故於此不再贅述。

接著，進行主動元件的相關製程。請參照圖 5C，於導電層 216 之一側的基底 200 中形成溝渠 218，且溝渠 218 係暴露出部分基底 200 與導電層 216。其中，溝渠 218 的形成方法例如是進行蝕刻製程。在一較佳實施例中，在形成溝渠 218 之前，更包括於基底 200 中形成摻雜帶 220，且摻雜帶 220 係與下電極 208 鄰接，其中此摻雜帶 220 的摻質型態例如是 n 型。此外，在另一較佳實施例中，在形成溝渠 218 之前，更包括於預定形成溝渠 218 處之部分導電層 216 與相鄰的基底 200 中形成摻雜井區 222，而使之

後的溝渠 218 形成於摻雜井區 222 中，其中此摻雜井區 222 的摻雜型態例如是 p 型。另外，在又一較佳實施例中，在形成溝渠 218 之前，更包括於基底 200 中形成摻雜帶 220，並且於預定形成溝渠 218 處之部分導電層 216 與相鄰的基底 200 中形成摻雜井區 222。其中，摻雜帶 220 係與下電極 208 鄰接，且摻雜井區 222 係與摻雜帶 220 鄰接，而且二者之摻質型態相反。

繼之，於溝渠 218 中填入半導體材料層 223。其中，半導體材料層 223 的材質例如是磊晶矽或是其他合適作為通道之材質，而其填入方法例如是進行沈積製程。

之後，請參照圖 5D，圖案化半導體材料層 223，以於溝渠 218 中形成半導體條狀物 228b。而且，在一較佳實施例中，更包括移除部分罩幕層 204、墊層 202 與基底 200，以形成暴露出基底 200 的二開口(如圖 2 虛線區域 226)。在一較佳實施例中，在於溝渠 218 中形成半導體條狀物 228b 時，更包括分別於半導體條狀物 228b 的兩端分別形成延伸部 228a 與 228c，而形成「H」字形的半導體層 224。其中，延伸部 228a 係與導電層 216 鄰接，而另一延伸部 228c 係與基底 200 鄰接。另外，半導體條狀物 228b 及其延伸部 228a、228c 的材質例如是磊晶矽或是其他合適作為通道之半導體材料。

然後，於基底 200 上形成閘介電層 230，以覆蓋裸露之半導體條狀物 228b 及其延伸部 228a、228c 與基底 200 表面。其中，閘介電層 230 的材質例如是氧化矽，而其形

成方法例如是熱氧化法。在一較佳實施例中，此閘介電層 230 係一併形成於導電層 216 頂面。接著，於基底 200 上形成導電層 232，以覆蓋閘介電層 230。

繼之，請參照圖 5E，移除部分導電層 232，以於部分的閘介電層 230 上形成導電層 232a，其中導電層 232a 係與半導體條狀物 228b 相交，且被導電層 232a 所覆蓋之部分半導體條狀物 228b 係作為通道區 207 之用(如圖 2 所示)。此時，上方橫跨導電層 232a 的半導體條狀物 228b 之立體示意圖係如圖 4 所示(圖 2 之局部區域 233)。值得一提的是，對於主動元件來說，導電層 232a 覆蓋了半導體條狀物 228b 的兩側壁 234a 與頂部 234b 這三個區域，因此可以避免因短通道效應所產生的相關問題。另外，對於單一記憶胞來說，此處所形成之導電層 232a 係作為閘極之用，而對於整個記憶胞陣列來說，導電層 232a 係作為串接多個記憶胞的字元線之用。

之後，在一較佳實施例中，更可以於半導體條狀物 228b 的部分之延伸部 228c，以及與延伸部 228c 鄰接之基底 200 中形成摻雜區 236，以作為源極之用。

除此之外，在摻雜區 236 形成之後，更可以進行相關的內連線製程，以藉由接觸窗，使摻雜區 236 及導電層 232a 與外界電性連接。

由於本發明之主動元件，其導電層(閘極)所覆蓋之部分半導體條狀物係作為通道區之用，而且此半導體條狀物係與深溝渠式電容器的導電層(上電極頂部)鄰接，因此不

需要進行埋入式摻雜帶的製程，即可與主動元件電性連接，從而可以解決習知因埋入式摻雜帶窗口尺寸過大或過小所產生的問題。

另外，上述所揭露之深溝渠式電容器的相關製程係僅用以說明本發明，並非用以限定本發明。換言之，在其他實施例中，亦可先利用其他深溝渠式電容器製程完成深溝渠式電容器之後，再進行本發明如圖 5C 至圖 5E 之主動元件的相關製程，如此亦同樣能夠解決習知因埋入式摻雜帶窗口尺寸過大或過小所產生的問題。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1A 至圖 1D 是習知一種動態隨機存取記憶體之製造流程剖面示意圖。

圖 2 是本發明一較佳實施例的一種動態隨機存取記憶體胞之上視示意圖。

圖 3 是圖 2 之動態隨機存取記憶體胞，其由 I-I' 剖面所得之剖面示意圖。

圖 4 是圖 2 之動態隨機存取記憶體胞其局部區域的立體剖面示意圖。

圖 5A 至圖 5E 是圖 2 之動態隨機存取記憶體胞，其由 I-I' 剖面所得之製造流程剖面示意圖。

【主要元件符號說明】

- 100、200：基底
- 102、202：墊層
- 104、204：罩幕層
- 106、206：深溝渠
- 108、208：下電極
- 110、210、210a：電容介電層
- 112、116、116a、118、118a：多晶矽層
- 114、114a、114b、214：氮氧化層
- 120：埋入式摻雜帶
- 122：埋入式摻雜帶窗口
- 124：淺溝渠隔離結構
- 126、128：閘極結構
- 130a：源極區
- 130b：汲極區
- 201：深溝渠式電容器
- 203：主動元件
- 205：上電極
- 207：通道區
- 212、216、232、232a：導電層
- 218：溝渠
- 220：摻雜帶
- 222：摻雜井區
- 223：半導體材料層

224：「H」字形的半導體層

226、233：區域

228a、228c：延伸部

228b：半導體條狀物

230：閘介電層

234a：側壁

234b：頂面

236：摻雜區

十、申請專利範圍：

1.一種動態隨機存取記憶胞的製造方法，包括：

提供一基底，該基底上已形成一圖案化之罩幕層與形成於該基底中之一深溝渠，且該圖案化之罩幕層係暴露出該深溝渠，而且在該深溝渠底部之該基底中係形成一下電極，且在該深溝渠表面係形成一電容介電層；

填入一第一導電層於該深溝渠底部；

移除未被該第一導電層覆蓋之該電容介電層；

形成一氮氧化層於未被該第一導電層覆蓋之該深溝渠側壁上；

填入一第二導電層於該深溝渠中，以覆蓋該第一導電層；

形成一溝渠於該第二導電層一側的該基底中，且該溝渠係暴露出部分該基底與該第二導電層；

形成一半導體條狀物於該溝渠中，且暴露出部分該溝渠底部的該基底，其中該半導體條狀物的一端係與該第二導電層鄰接，而另一端係與該基底鄰接；

形成一閘介電層於該基底上，以覆蓋裸露之該半導體條狀物與該基底表面；以及

形成一閘極於該閘介電層上，其中該閘極係與該半導體條狀物相交，且被該閘極所覆蓋之部分該半導體條狀物係作為通道區之用。

2.如申請專利範圍第 1 項所述之動態隨機存取記憶胞的製造方法，其中該半導體條狀物的材質係為磊晶矽。

3.如申請專利範圍第 1 項所述之動態隨機存取記憶胞的製造方法，其中該半導體條狀物的形成方法包括：

填入一半導體材料層於該溝渠中；以及
圖案化該半導體材料層。

4.如申請專利範圍第 3 項所述之動態隨機存取記憶胞的製造方法，其中在圖案化該半導體材料層之步驟中，更包括移除部分該圖案化之罩幕層與該基底。

5.如申請專利範圍第 1 項所述之動態隨機存取記憶胞的製造方法，其中在形成該半導體條狀物於該溝渠中的步驟中，更包括於該半導體條狀物的兩端分別形成一第一延伸部與一第二延伸部，而形成一「H」字形的半導體層。

6.如申請專利範圍第 1 項所述之動態隨機存取記憶胞的製造方法，其中在形成該閘極之後，更包括於鄰接該基底之部分該半導體條狀物以及所鄰接之該基底中形成一摻雜區。

7.如申請專利範圍第 1 項所述之動態隨機存取記憶胞的製造方法，其中該領氧化層的形成方法包括：

形成一領氧化材料層於該深溝渠側壁、該第一導電層頂面及該基底表面；以及

移除位於該第一導電層頂面及該基底表面之該領氧化材料層。

8.如申請專利範圍第 1 項所述之動態隨機存取記憶胞的製造方法，其中在形成該溝渠於該第二導電層一側的該基底中的步驟之前，更包括形成一摻雜帶於該基底中，且

該摻雜帶係鄰接該下電極。

9.如申請專利範圍第 1 項所述之動態隨機存取記憶胞的製造方法，其中在形成該溝渠於該第二導電層一側的該基底中的步驟之前，更包括形成一摻雜井區於部分該第二導電層與該基底中，以使該溝渠形成於該摻雜井區中。

10.一種動態隨機存取記憶胞的製造方法，包括：

提供一基底，該基底上已形成一圖案化之罩幕層與形成於該基底中之一深溝渠式電容器，且該深溝渠式電容器係由一下電極、一上電極、一電容介電層與一氮氧化層所構成，而且該圖案化之罩幕層係暴露出該上電極；

形成一溝渠於該深溝渠式電容器一側的該基底中，且該溝渠係暴露出部分該基底與該上電極；

填入一半導體材料層於該溝渠中；

圖案化該半導體材料層，以形成一半導體條狀物，並形成暴露出該基底的二開口，其中該半導體條狀物的一端係與該上電極鄰接，而另一端係與該基底鄰接；

形成一閘介電層於該基底上，以覆蓋裸露之該半導體條狀物與該基底表面；以及

形成一導電層於該閘介電層上，其中該導電層係與該半導體條狀物相交，且該導電層所覆蓋之部分該半導體條狀物係作為一通道區之用。

11.如申請專利範圍第 10 項所述之動態隨機存取記憶胞的製造方法，其中該半導體條狀物的材質係為磊晶矽。

12.如申請專利範圍第 10 項所述之動態隨機存取記憶

胞的製造方法，其中在形成該半導體條狀物於該溝渠中的步驟中，更包括於該半導體條狀物的兩端分別形成一第一延伸部與一第二延伸部，而形成一「H」字形的半導體層。

13.如申請專利範圍第 10 項所述之動態隨機存取記憶胞的製造方法，其中在形成該導電層之後，更包括形成一摻雜區於與該基底鄰接之部分該半導體條狀物以及所鄰接之該基底中。

14.如申請專利範圍第 10 項所述之動態隨機存取記憶胞的製造方法，其中在圖案化該半導體材料層之步驟中，更包括移除部分該圖案化之罩幕層與該基底。

15.如申請專利範圍第 10 項所述之動態隨機存取記憶胞的製造方法，其中該上電極係由一第一導電層與一第二導電層所構成，且該半導體條狀物係與該第二導電層鄰接。

16.如申請專利範圍第 15 項所述之動態隨機存取記憶胞的製造方法，其中在形成該溝渠於該深溝渠式電容器一側的該基底中的步驟之前，更包括形成一摻雜井區於部分該第二導電層與該基底中，以使該溝渠形成於該摻雜井區中。

17.如申請專利範圍第 10 項所述之動態隨機存取記憶胞的製造方法，其中在形成該溝渠於該深溝渠式電容器一側的該基底中的步驟之前，更包括形成一摻雜帶於該基底中，且該摻雜帶係鄰接該下電極。

18.一種動態隨機存取記憶胞，包括：

一深溝渠式電容器，配置於一基底之一深溝渠中，該

深溝渠式電容器包括：

- 一下電極，配置在該深溝渠底部之該基底中；
- 一上電極，配置在該深溝渠中；
- 一電容介電層，配置在該深溝渠底部表面與該上電極之間；以及

- 一領氧化層，配置在未配置該電容介電層的該深溝渠側壁，且位於該上電極與該基底之間；以及

- 一主動元件，配置於該基底之一溝渠中，且該主動元件係與該深溝渠式電容器鄰接，該主動元件包括：

- 一半導體條狀物，配置在該溝渠中，且暴露出部分該溝渠底部的該基底，而且該半導體條狀物的一端係與該基底鄰接，而另一端係與該上電極鄰接；

- 一閘介電層，配置在該半導體條狀物表面；

- 一閘極，配置在該閘介電層上，且與該半導體條狀物相交，且該閘極所覆蓋之部分該半導體條狀物係作為一通道區之用；以及

- 一摻雜區，配置在與該基底鄰接之部分該半導體條狀物以及與所鄰接之該基底中。

19.如申請專利範圍第 18 項所述之動態隨機存取記憶胞，其中該半導體條狀物的材質係為磊晶矽。

20.如申請專利範圍第 18 項所述之動態隨機存取記憶胞，其中該半導體條狀物的兩端更包括分別配置一第一延伸部與一第二延伸部，以構成一「H」字形的半導體層。

21.如申請專利範圍第 18 項所述之動態隨機存取記憶

胞，其中該上電極係由一第一導電層與一第二導電層所構成，且該電容介電層係配置在該深溝渠底部表面與該第一導電層之間，該領氧化層係配置在該第二導電層與該基底之間，而且該半導體條狀物係與該第二導電層鄰接。

22.如申請專利範圍第 18 項所述之動態隨機存取記憶胞，更包括一摻雜帶，配置於該基底中，且該摻雜帶鄰接於該深溝渠式電容器的該下電極。

23.如申請專利範圍第 18 項所述之動態隨機存取記憶胞，更包括一摻雜井區，且使該溝渠配置於該摻雜井區中。

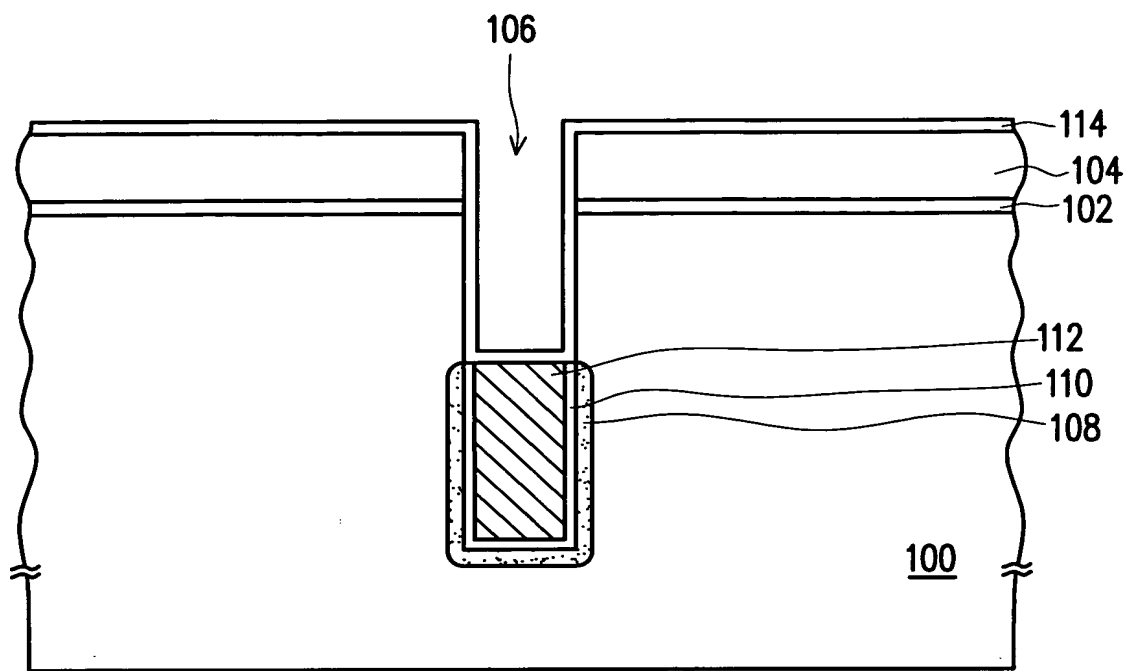


圖 1A

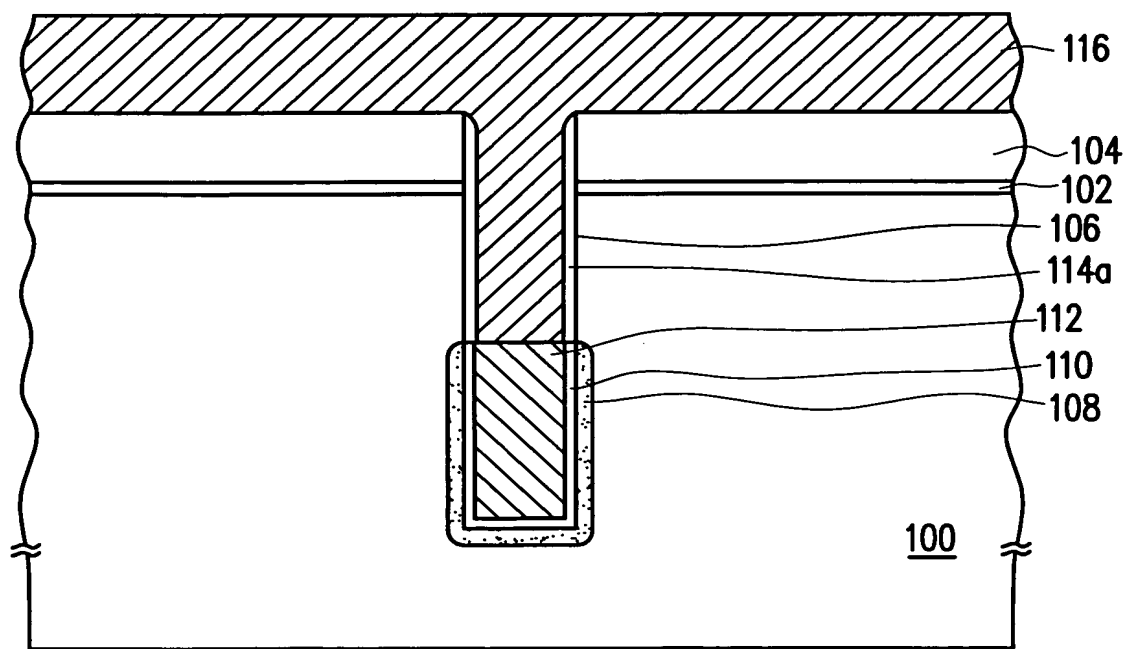


圖 1B

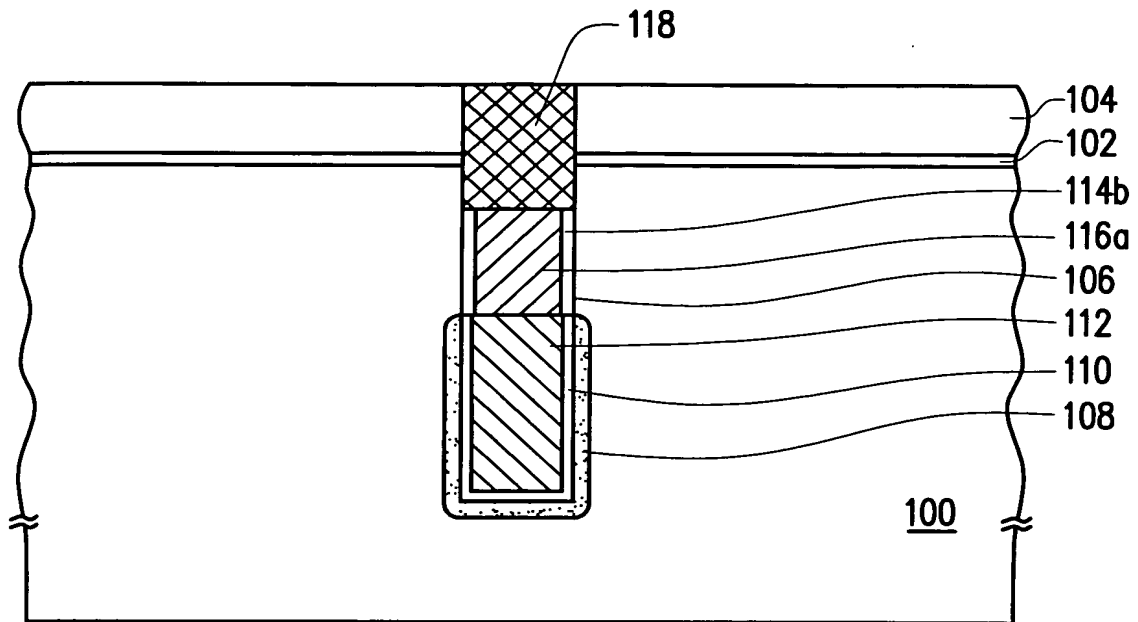


圖 1C

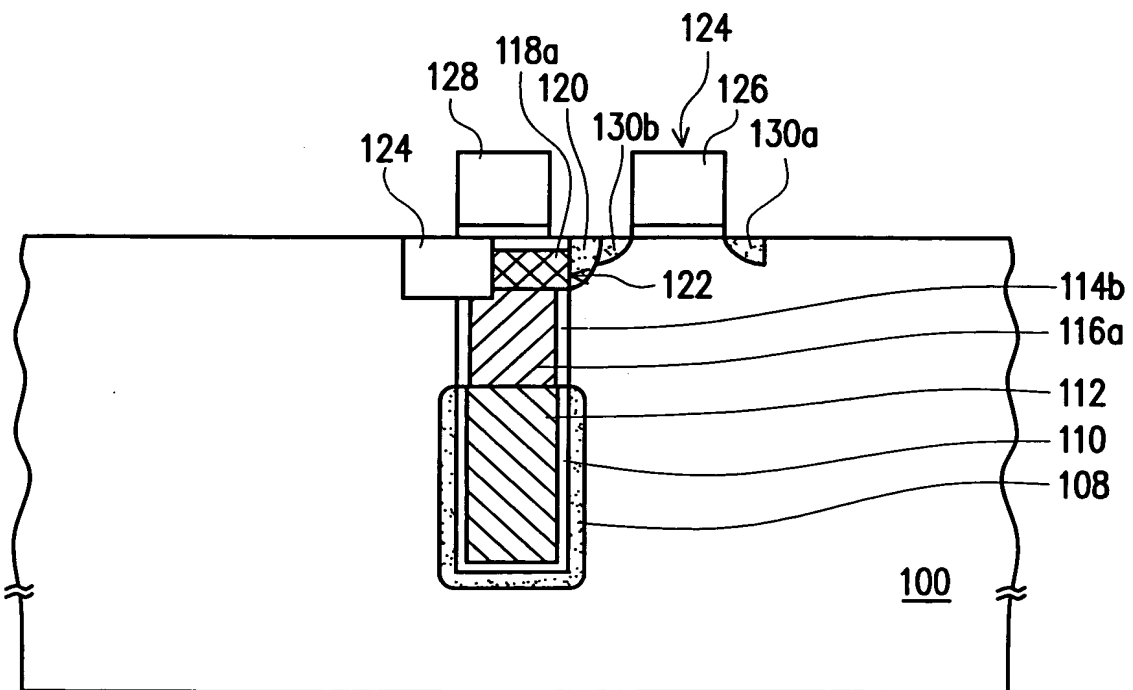


圖 1D

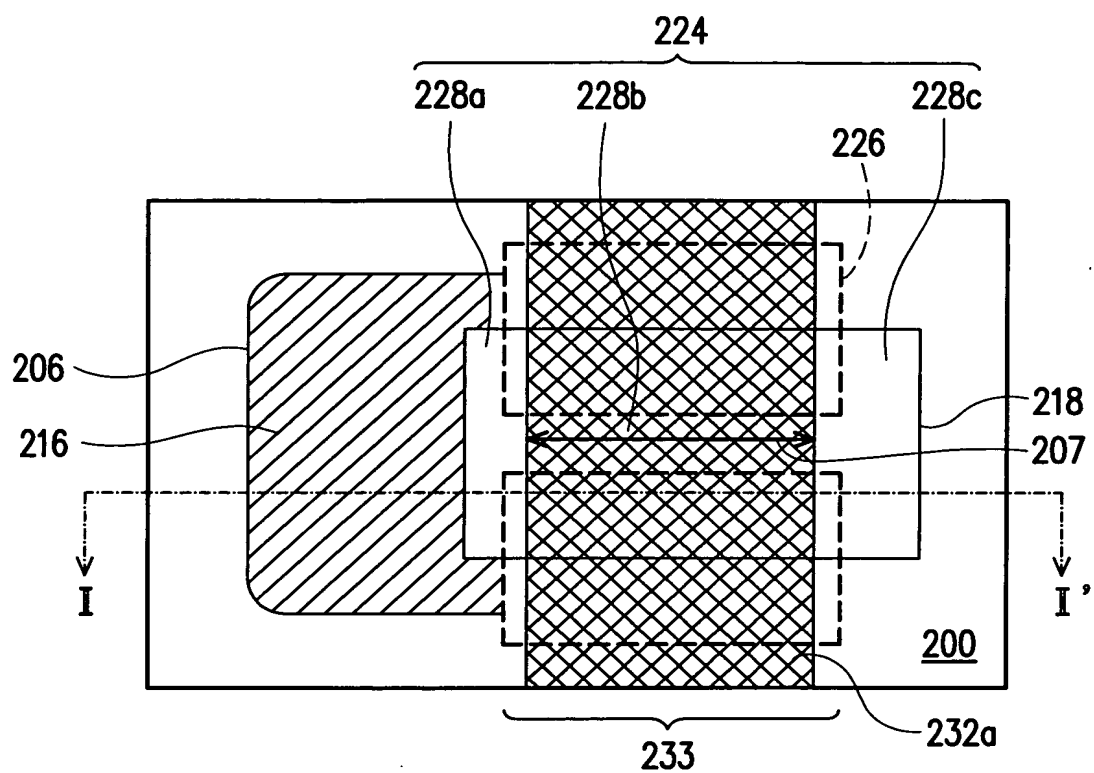


圖 2

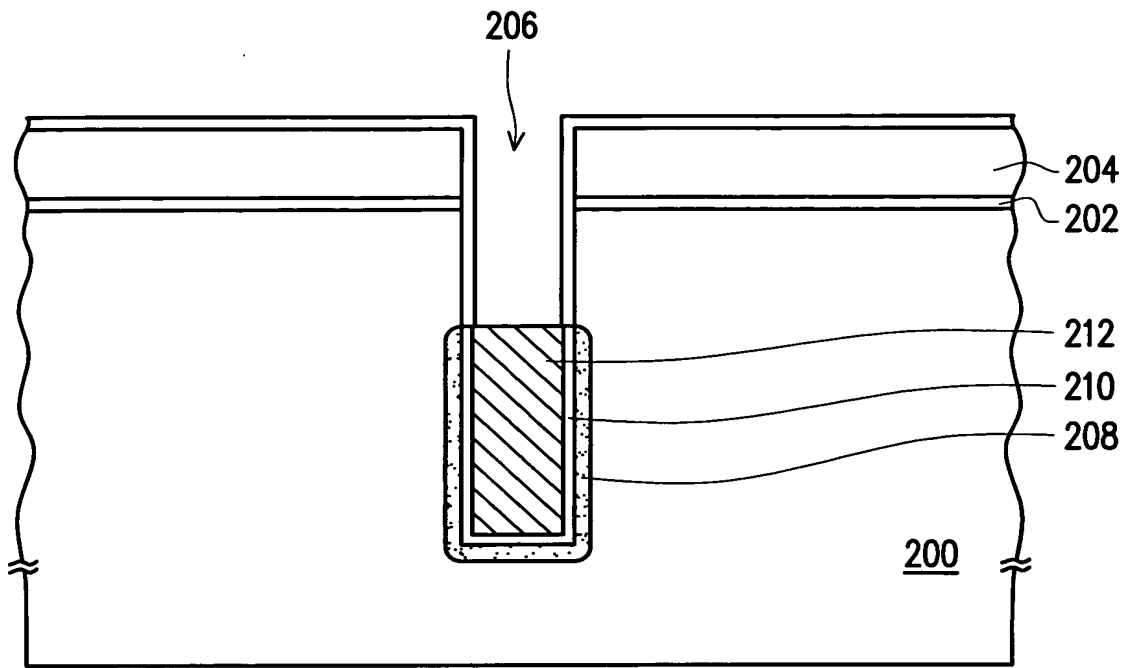


圖 5A

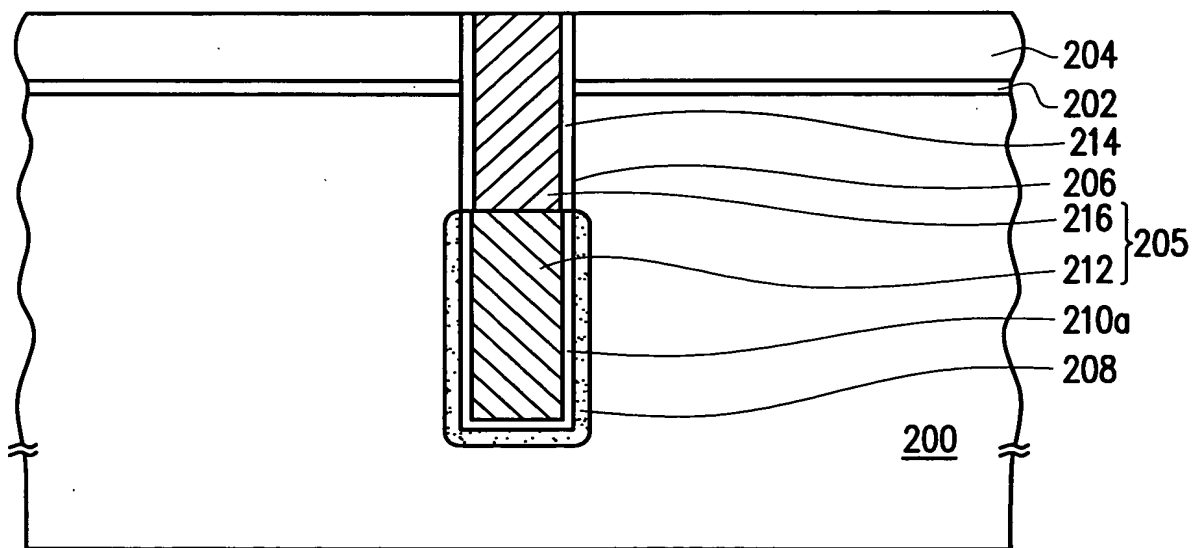


圖 5B

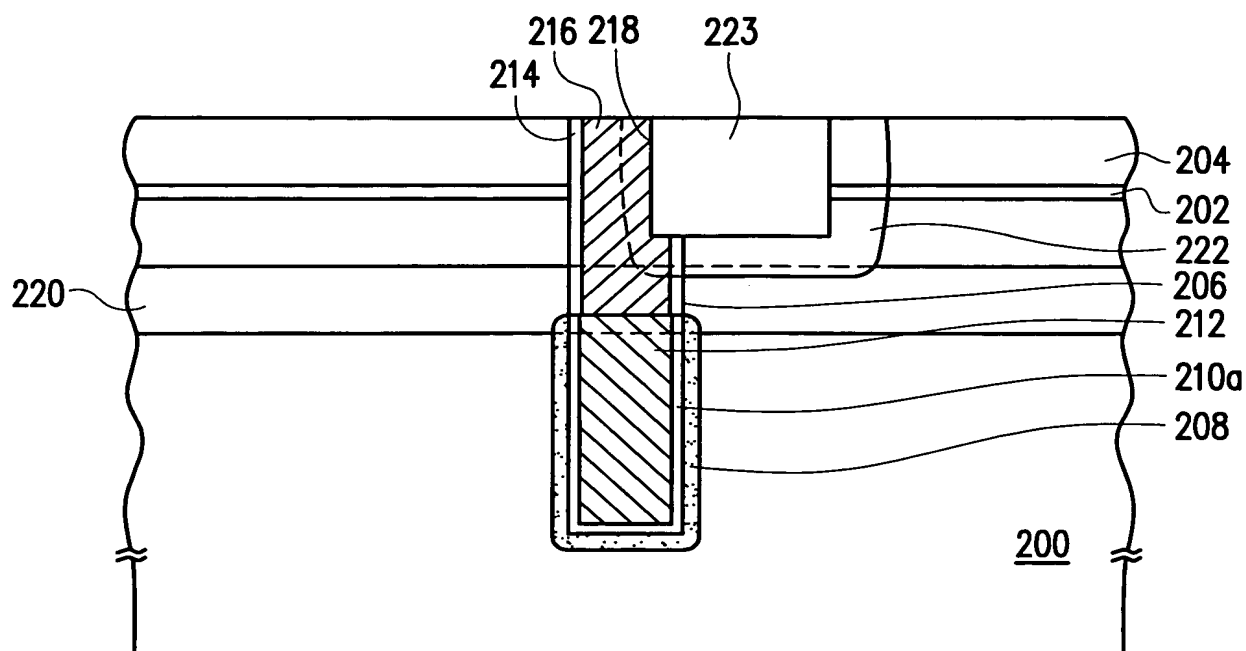


圖 5C

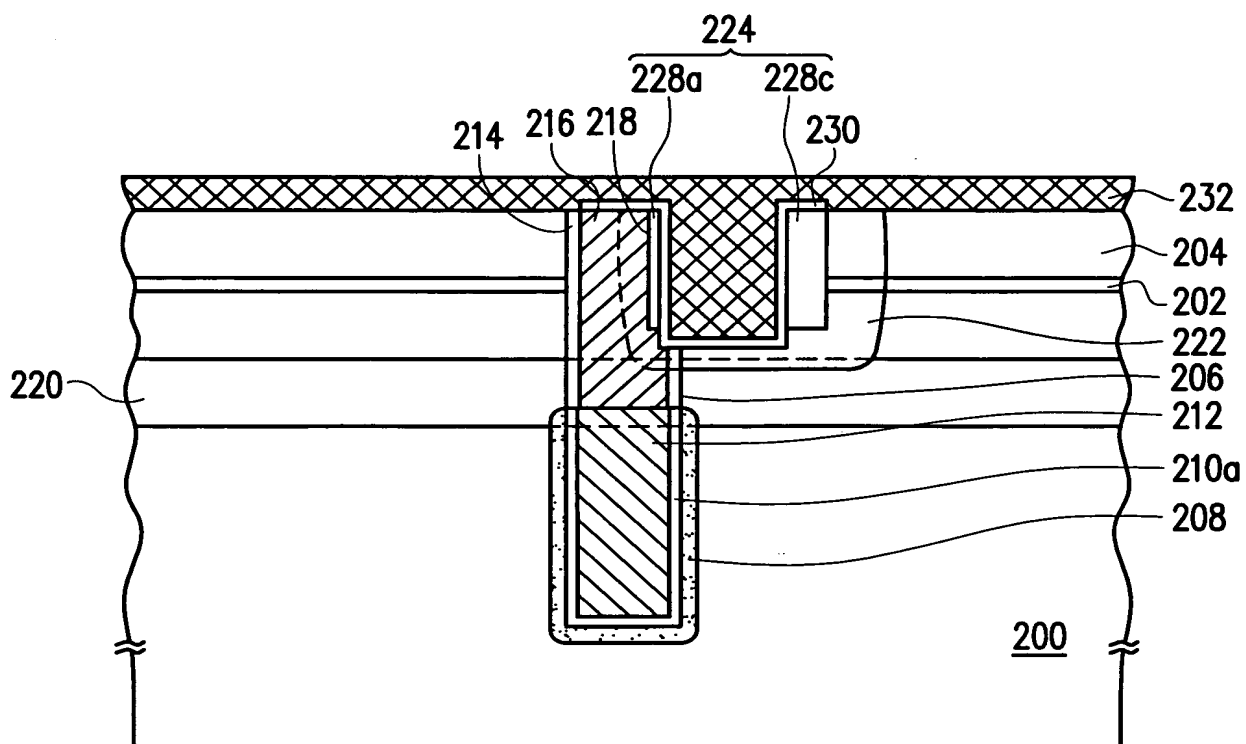


圖 5D

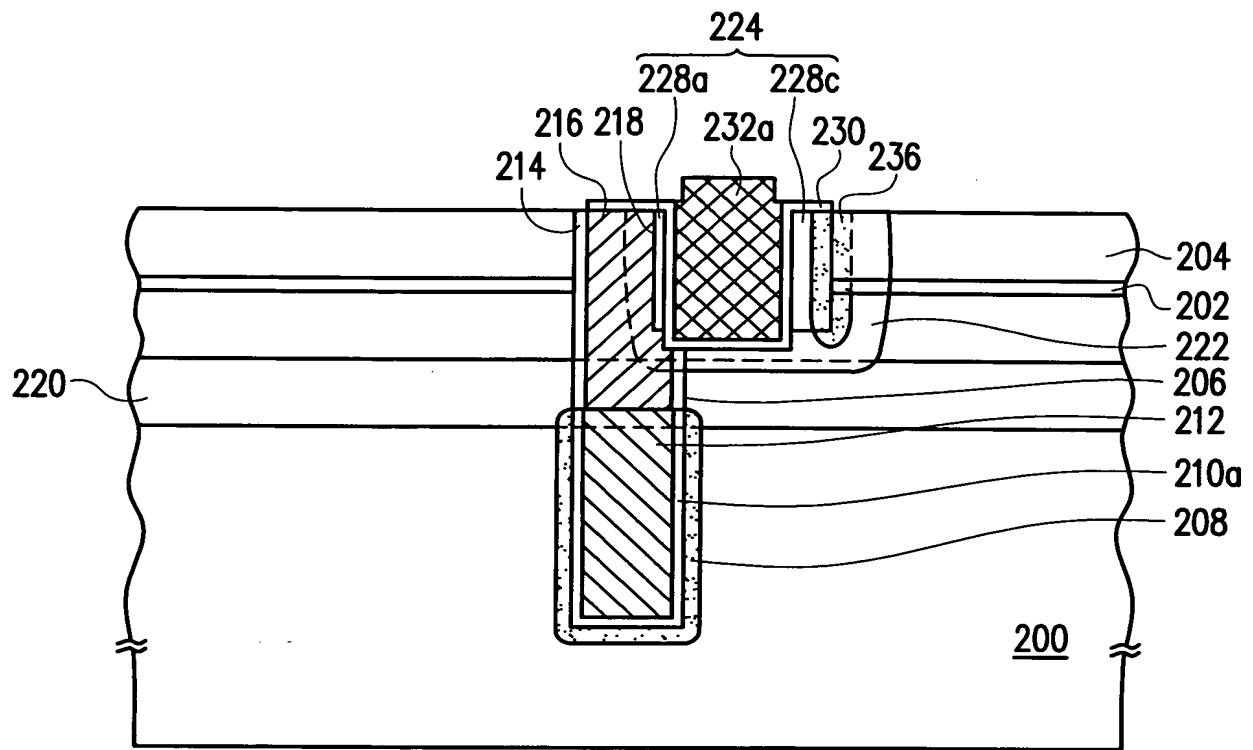


圖 5E